

**Method of manufacturing a perovskite thin film dielectric**

Patent Number: ☐ US5618761  
Publication date: 1997-04-08  
Inventor(s): EGUCHI KAZUHIRO (JP); IMAI KEITARO (JP); KIYOTOSHI MASAHIRO (JP)  
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP)  
Requested Patent: ☐ JP8139043  
Application Number: US19950526387 19950911  
Priority Number(s): JP19940221446 19940916; JP19950050104 19950309  
IPC Classification: H01L21/02  
EC Classification: H01L21/02B3B, H01L21/8242B2, H01L21/8242B6  
Equivalents: ☐ DE19534082, JP3152859B2, KR269851

**Abstract**

Disclosed is a method of manufacturing a semiconductor device, comprising the step of forming a dielectric thin film on a semiconductor layer, the dielectric thin film being made of a compound represented by the general formula (1) given below:  $ABO_3$  (1) where "A" is at least one element selected from the group consisting of Ca, Ba, Sr, Pb and La, and "B" is at least one element selected from the group consisting of Zr and Ti. The dielectric thin film being formed by a chemical vapor deposition under a pressure of 400 Torr or less and a temperature of 1,000 DEG C. or less by using a raw material gas containing a complex compound of element A with a beta -diketone, a complex compound of element B with a beta -diketone, and an oxidizing agent.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-139043

(43) 公開日 平成8年(1996)5月31日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/205				
21/314	A			
21/316	B			
27/108				

7735-4M

H 0 1 L 27/ 10

6 5 1

審査請求 未請求 請求項の数 7 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平7-50104

(22) 出願日 平成7年(1995)3月9日

(31) 優先権主張番号 特願平6-221446

(32) 優先日 平6(1994)9月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 江口 和弘

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 清利 正弘

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 今井 馨太郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【構成】Ca、Ba、Sr、PbおよびLaからなる群より選ばれる少なくとも1種の元素、およびZrおよびTiからなる群より選ばれる少なくとも1種の元素のβジケトン錯体化合物、並びに酸化剤を原料とする化学気相成長法を用いることにより、400Torr以下の圧力下、1000°C以下の温度において、反応律速条件で誘電体薄膜を形成する。

【効果】より誘電率が高い誘電体薄膜を、段差のある複雑な形状の基板上に均一に形成することができ、より集積度の高い半導体装置を製造することができる。

小さいため、電圧印加時にリーク電流が流れやすい。このため、DRAMのキャパシタに使用する際に、必要なキャパシタ容量を確保するために薄膜化すると、リーク電流が過大になるという問題がある。また、ペロブスカイト結晶構造を有する高誘電体膜は、薄膜化すると誘電率が低下する性質があるので、せっかく薄膜化してもその割にはキャパシタ容量が増加しないという問題がある。従って、上記の高誘電体材料をキャパシタ絶縁膜に用いる場合でも、それだけでは十分なキャパシタ容量を得ることはできず、やはりトレンチキャパシタ技術およびスタックドキャパシタ技術と同様の立体構造を併用する必要がある。

【0009】立体構造を併用する場合には、凹凸を有する表面上に良好なステップカバレッジで高誘電体薄膜を形成しなければならない。ところが、上記高誘電体薄膜の形成に従来用いられているスパッタリングは、ステップカバレッジに劣る。従って、立体構造を併用するためには、スパッタリングではなく、ステップカバレッジに優れた化学的気相成長法(CVD法)によって上記高誘電体薄膜を形成することが必要とされる。ところが、複合酸化物である上記の高誘電体材料からなる均一な膜厚の薄膜を、段差のある基板上に良好なステップカバレッジで形成できるようなCVD法は知られていない。このため、これらの高誘電体薄膜をキャパシタ絶縁膜に用い、且つ立体構造を併用することは困難であり、その結果、 $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ の蓄積容量膜を用いた半導体装置ほど集積度の高い半導体装置は未だ得られていない。この問題について、より詳細に説明すれば次の通りである。

【0010】一般に、金属酸化物膜をCVD法によって形成する際には、有機金属を原料とするMOCVD(metal organic CVD)法が採用される。上記ペロブスカイト結晶構造を有する高誘電体材料も金属酸化物であるが、複数種類の金属酸化物からなっているため、その薄膜をMOCVD法で形成する場合には次のような問題がある。即ち、所望の高い誘電率をもった薄膜を得るためには、ペロブスカイト型の結晶構造を乱れなく形成することが不可欠であり、これを達成するためには、結晶組成の化学量論比からのずれを±10%以下におさえる必要がある。このような複合酸化物膜の精密な組成制御を達成する場合、MOCVDは、薄膜の堆積速度が供給律速になる条件下で行われる。供給律速の条件下では原料の熱分解反応が速いので、原料の供給量に比例した堆積量が得られる。従って、このような供給律速下のCVDにおいて、夫々の原料の供給量を精密に制御することによって、堆積される複合酸化物の組成を精密に制御することができる。各原料についての供給量の制御は、原料温度、原料容器圧力、原料パージングガス流量等のCVD条件を精密に制御することによって制御することができる。このような方法は、 $\text{Ba}$ 、 $\text{Sr}_{1-x}\text{TiO}_3$ 、

等の誘電体薄膜および $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ 等の高温超電導体膜の形成に用いられている。

【0011】ところが、上記のような供給律速の下でのCVDでは精密な組成制御は可能となるが、次の理由によってステップカバレッジに劣る。即ち、このような供給律速条件下では、原料が基板に到達すると、基板表面に十分に広がることなく直ちに分解反応を起こして堆積してしまう。そのため、トレンチ構造のように原料が到達し易い部分と到達し難い部分が存在する場合には、均一な膜厚を得ることができない。従って、供給律速下のMOCVDは、トレンチキャパシタ及びスタックドキャパシタのような立体構造を併用するという目的には適合せず、ギガビット世代に対応するための技術にはなり得ない。

【0012】

【発明が解決しようとする課題】本発明は上記事情に鑑みてなされたものであり、その課題は、従来用いられている $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 等よりも誘電率が高い高誘電体化合物の薄膜、即ち、 $\text{SrTiO}_3$ 、 $\text{Ba}$ 、 $\text{Sr}_{1-x}\text{TiO}_3$ 、 $\text{PZT}$ 等の薄膜をキャパシタ絶縁膜とする半導体装置を製造する際に、これら高誘電体薄膜を基板上に均一な膜厚で形成することができ、特に、段差のある基板上にも良好なステップカバレッジで形成できる方法を提供することである。このような方法によって、高誘電体薄膜をキャパシタ絶縁膜として用いると同時に、トレンチキャパシタ及びスタックドキャパシタのような立体構造を併用することが可能となり、ひいてはより集積度の高い半導体装置を製造することが可能になる。

【0013】

【課題を解決するための手段】発明者らは、鋭意研究の結果、 $\text{SrTiO}_3$ 、 $\text{Ba}$ 、 $\text{Sr}_{1-x}\text{TiO}_3$ 、 $\text{PZT}$ 等のような高誘電体薄膜であっても、特定の原料を選択すると共に、原料が気相中で分解することなく基板表面に到達、且つ該表面上に十分に広がるようにしてCVDを行えば、段差のある基板表面上にも均一な膜厚を有する薄膜を形成できることを見出し、この発明を完成するに至った。

【0014】すなわち、この発明による半導体装置の製造方法は、半導体層上に、下記の一般式(1)で表される化合物からなる誘電体薄膜を形成する工程を具備した半導体装置の製造方法であって、

$\text{ABO}_3$ 、……(1)

(ここで、AはCa、Ba、Sr、PbおよびLaからなる群より選ばれる少なくとも1種の元素であり、BはZrおよびTiからなる群より選ばれる少なくとも1種の元素である)

前記誘電体薄膜の形成は、前記元素Aのβジケトン錯体化合物と、前記元素Bのβジケトン錯体化合物と、酸化剤を含む原料ガスをを用いた化学気相成長法により、400 Torr以下の圧力下において、1000℃以下の温度で行わ

10

20

30

40

50

aのようなIIa族の元素に関しては、このような温度領域で成膜を行うと、薄膜表面の平滑性が著しく悪化する。このような表面の平滑性に劣る薄膜は、LSIのキャパシタ絶縁膜としては適さない。

【0029】そこで、発明者等はその原因を追及した結果、次に述べるように、有機金属原料は上記の反応律速の条件下においても一部が気相で分解を起こし、これが平滑性を劣化させる原因であることを発見した。一般式ABO<sub>2</sub>における元素A、即ちSr、BaのようなIIa族の元素について説明すると、これら元素のDPM錯体には個々の錯体に特有の分解温度T<sub>c</sub>が存在する。例えば、Sr(DPM)<sub>2</sub>の気相中における分解温度T<sub>c</sub>は図4に示す通りである。なお、図示のように、この場合のT<sub>c</sub>は酸化剤条件に依存して変化する。何れにしても、T<sub>c</sub>より高い温度領域においてはSr(DPM)<sub>2</sub>は基板表面に達する前に気相中で分解してしまう。その結果、図5に示すように、気相分解により形成された粒子2が基板1の表面に付着し、その上に良好な被覆性で高誘電体膜3が堆積することになる。これが、薄膜表面の平滑性を悪化させる原因である。

【0030】従って、本発明の好ましい態様においては、このような有機金属の気相分解を防止するために、高誘電率薄膜を形成するためのCVDを反応律速の条件下で行うだけでなく、原料として使用する全ての有機金属化合物のT<sub>c</sub>よりも低い温度でCVDを行なう。これによって、良好なステップカバレッジを得るだけでなく、高誘電体薄膜表面の平滑性を向上することができる。なお、上記の分解温度T<sub>c</sub>は成膜温度以外の条件にも依存し、例えば成膜時における成膜チャンパー内の圧力によっても変化する。従って、実際の成膜条件に則して各有機金属化合物の分解温度T<sub>c</sub>を求めた上で、これらT<sub>c</sub>よりも低い温度で成膜を行う。

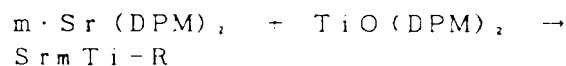
【0031】(3)次に、本発明における更に別の好ましい態様について説明する。この態様においては、前記元素B(Zrおよび/またはTi)のβジケトン錯体の供給量を、モル比で、前記元素A(Ca、Ba、Sr、PbまたはLa)のβジケトン錯体の供給量の5倍以上になるように制御する。この構成によって、成膜温度を低温化して反応律速の条件下でCVDを行なう場合にも、高誘電体薄膜における金属元素組成を好ましい比率とし、結晶性に優れた高品質な高誘電体薄膜を形成することができる。その作用を以下に説明する。

【0032】既述のように、SrTiO<sub>3</sub>、またはPbZrTiO<sub>3</sub>、O<sub>3</sub>、等のようなペロブスカイト結晶構造を有する高誘電体では、結晶構造がペロブスカイト構造をとったときのみ所望の高い誘電率を得ることができ、従って、所望の高誘電率を得るためには、これら複合酸化物における各金属元素の比率を化学量論比±10%以内に制御して、ペロブスカイト結晶構造とすることが必要である。例えばチタン酸ストロンチウムの誘電率

は、図6に示すような組成依存性を示す。図示のように、Sr/(Sr+Ti)が0.5の化学量論比であれば、約550の誘電率が得られる。しかし、この比率が化学量論比から大きくずれ、ペロブスカイト結晶構造を取れなくなると、30程度の誘電率しか得られない。

【0033】一方、原料ガス中のSr/(Sr+Ti)比が0.5になるように原料を供給しながら、CVDによってチタン酸ストロンチウムを成膜すると、図7に示すように、堆積膜中のSr/(Sr+Ti)比は成膜温度に依存して変化する。図示のように、成膜温度が600°Cの場合は、金属酸化膜中のSr/(Sr+Ti)比は0.5となり、良好な結晶性が得られる。ところが、本発明に従って良好なステップカバレッジを得るために成膜温度を低下させると、チタンの比率が低下し、良好な結晶性は得られなくなってしまふ。この現象は、チタン原料とアルカリ土類金属原料とが低温で気相中に併存していると、チタン原料単体の分解が抑制されてしまふ、以下のような反応が支配的になることが原因である。

【0034】即ち、アルカリ土類金属原料としてSr(DPM)<sub>2</sub>を用い、チタン原料としてTiO(DPM)<sub>2</sub>を用いると、



【但し、Rは有機基である。】

のような反応が生じる。

【0035】理想的な結晶組成が得られるのは、m=1の場合である。このような理想的な反応が支配的になるための条件は、成膜温度などの条件によって異なる。発明者等は鋭意研究を行った結果、本発明に従う反応律速の条件下でのCVDにおいては、アルカリ土類原料の供給量に対するチタン原料の供給量の比が、モル比で5以上のときに、上記理想的な反応が支配的になることを突き止めた。なお、この原料供給量のモル比は各原料の分圧比に等しい。

【0036】従って、前記元素A(Ca、Ba、Sr、Pbおよび/またはLa)のβジケトン錯体の供給量に対する前記元素B(Zrおよび/またはTi)のβジケトン錯体の供給量を、モル比で5倍以上になるように制御すれば、反応律速の条件下でのCVDで高誘電率薄膜を形成する際にも、良好なペロブスカイト結晶構造および所望の高誘電率を有し、且つ絶縁性に優れた薄膜を形成することができる。

【0037】

【実施例】以下、この発明の実施例を図面を参照して説明する。

【0038】実施例1

この実施例では、Sr原料としてSr(C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>)<sub>2</sub>を用い、Ti原料としてTiO(C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>)<sub>2</sub>をそれぞれ用い、さらに酸化剤としてO<sub>2</sub>を用いて、成長温度

70%であった。

【0046】さらに、Tiの原料としてTi(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>を用い、Srの原料は上記と同様にSr(C<sub>12</sub>H<sub>11</sub>O<sub>2</sub>)<sub>2</sub>を用いてSrTiO<sub>3</sub>薄膜の形成を行なった。この場合、供給律速条件である600°Cで成長させたときには、図12に示すように、溝側面部の薄膜206は、平坦部の薄膜205の約30%程度にしか成長しなかった。また、反応律速条件である450°Cで成長させた場合には、SrOとTiO<sub>2</sub>が分離した島状に成長し、SrTiO<sub>3</sub>薄膜を得ることはできなかった。

【0047】以上のように、Sr原料としてSr(C<sub>12</sub>H<sub>11</sub>O<sub>2</sub>)<sub>2</sub>を用い、またTi原料としてTiO(C<sub>12</sub>H<sub>11</sub>O<sub>2</sub>)<sub>2</sub>を用いることによって、Ti原料としてTi(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>を用いた場合には得ることができないような、優れた段差被覆性を有するSrTiO<sub>3</sub>薄膜を形成することができる。また、成長温度を反応律速条件となる温度に設定することにより、平坦部の膜厚と溝側面部の膜厚がほぼ等しいSrTiO<sub>3</sub>薄膜を得ることができる。

#### 【0048】実施例2

Baの原料としてBa(C<sub>12</sub>H<sub>11</sub>O<sub>2</sub>)<sub>2</sub>を用い、またSrの原料としてはSr(C<sub>12</sub>H<sub>11</sub>O<sub>2</sub>)<sub>2</sub>を、Tiの原料としてはTiO(C<sub>12</sub>H<sub>11</sub>O<sub>2</sub>)<sub>2</sub>をそれぞれ用いて実施例1と同様の工程を行うことにより、段差のあるSi基板上にBa<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>薄膜を形成した。

【0049】その結果、SrTiO<sub>3</sub>薄膜の場合と同様、反応律速となる成長温度450°Cで、平坦部の膜厚と溝側面部の膜厚とかほぼ等しいBa<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>薄膜を得ることができた。ICP分析によって、組成中のxは0.45、Ba+Sr/Ti組成比は1であることが確認された。また、X線回折測定を行うことにより、得られたBa<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>薄膜は多結晶性であることが確認された。

【0050】また、原料を変えずに、Ba原料容器とSr原料容器へのキャリアガスの流量を調整することにより、組成xを変化させてBa<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>薄膜の形成を行なった。

【0051】その結果、反応律速条件においては、組成xに係わりなく、基板の平坦部の膜厚と溝側面部の膜厚がほぼ等しいBa<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>薄膜が得られることを確認した。

#### 【0052】実施例3

前記実施例2の結果を踏まえ、以下の手順によりBa<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>薄膜をキャパシタ絶縁膜とするダイナミック・ランダム・アクセス・メモリーセル(DRAMセル)を作製した。このDRAMセルの断面を図13に示す。

【0053】まず、p型シリコン基板301の(100)面上に、素子分離を行なうためのフィールド酸化膜302を形成する。次に、ゲート酸化膜303を形成

し、続いて該ゲート酸化膜上に多結晶シリコンゲート電極304を形成する。その後、イオン注入法によりソースおよびドレイン領域305を形成し、続いて層間絶縁膜として酸化膜306を形成する。以上の工程は、膜の形成、フォトリソグラフィ法によるパターンニング、イオン注入法等、通常この分野で用いられる方法で行なった。

【0054】次に、トレンチキャパシタのためのトレンチ溝を形成した後、キャパシタの下部電極となるPt膜307を形成する。更に、前記実施例2と同様の方法により、Pt膜307上に、キャパシタ絶縁膜としてBa<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>膜408を形成する。Pt下部電極307の膜厚は約20nm、Ba<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>膜408の膜厚は10nmとした。最後に、Pt膜409を全面に形成した後、フォトリソグラフィ法によりパターンニングしてキャパシタの上部電極を形成し、メモリーセルを完成する。

【0055】このようにして、本発明による製造方法を用いることにより、トレンチ構造のような複雑な形状を有する基板上にもBa<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>からなる蓄積容量膜を均一に形成することが可能となる。

【0056】上記のようにして製造された、Ba<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>膜308をキャパシタ絶縁膜とするメモリーセルは、従来の酸化シリコン膜や窒化シリコン膜をキャパシタ絶縁膜とし、同様のトレンチ構造を有するメモリーセルと比較して、約30倍という高い蓄積容量を示した。このことは、従来のDRAMよりも集積度が30倍程度高いDRAMを作製し得ることを示唆している。

#### 【0057】実施例4

キャパシタ部分にスタック構造を用いることを除いて、実施例3と同様の手順により、Ba<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>膜をキャパシタ絶縁膜とするDRAMセルを作製した。図8は、この実施例で作成したDRAMセルの断面構造を示している。同図において、図13と同じ機能部分には同一の参照番号を付した本発明の製造方法を用いることにより、スタック構造のような複雑な形状を有する基板上にも、Ba<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>からなるキャパシタ絶縁膜を均一に形成することが可能となる。

【0058】上記のようにして製造したBa<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>膜308をキャパシタ絶縁膜とするメモリーセルは、実施例3のトレンチ構造の場合と同様、従来の酸化シリコン膜や窒化シリコン膜をキャパシタ絶縁膜とし、かつ同様のスタック構造を有するメモリーセルと比較して、約30倍という高い蓄積容量を示した。

#### 【0059】実施例5

この実施例は、本発明の好ましい態様のうち、高誘電率キャパシタ絶縁膜の優れた表面平滑性を得る態様に関する。即ち、この実施例におけるCVDプロセスは、原料に用いる金属化合物の何れの気相分解温度よりも低い温度で行なわれる。以下、図14および図15を参照し、

行い、図15(D)の状態を得る。その後のプロセスは次の通りである。

【0072】先ず、スパッタリングを用いてCVD酸化膜413上に膜厚1 $\mu$ mの酸化ルテニウム膜501を堆積し、更にその上にCVD酸化膜502を堆積する。次いで、CVD酸化膜502をパターンニングした後、該パターンをマスクとして酸化ルテニウム膜501をRIEで異方性エッチングする。これにより、図17(A)に示すように、DRAMキャパシタの下部電極となる酸化ルテニウム膜501のパターンを形成する。

【0073】(2)次に、CVD酸化膜パターン502を除去した後、本発明の好ましい態様を適用して、チタン酸ストロンチウムからなるキャパシタ絶縁膜503を形成する。続いて、CVDを用いて窒化タングステン膜を堆積し、これをパターンニングすることにより、窒化タングステン膜からなるプレート電極504を形成する。この状態を図17(B)に示す。

【0074】キャパシタ絶縁膜503は次のようにして形成する。原料のSr(DPM)、およびTiO(DPM)、を、恒温槽の中で夫々215°Cおよび140°Cに維持しておき、ArガスでバブリングしながらコールドウオールタイプのCVDチャンパー内に供給する。酸化剤としてはN<sub>2</sub>Oガスを用いる。原料の供給条件および使用した装置は、実施例5と同じである。このときのSr(DPM)、の気相中での分解温度は460°Cである。従って、成膜はこの分解温度よりも低い440°Cで行う。こうしてチタン酸ストロンチウム膜418を堆積した後、これを酸素雰囲気中において600°Cで30分間アニールして結晶化させる。こうして、ステップカバレッジが良好で且つ表面平滑性に優れた、チタン酸ストロンチウムの高誘電体薄膜からなるキャパシタ絶縁膜が得られる。ここで、平面平滑性をAMFで評価したところ、表面の凹凸の高低差が0.2 nm以下であった。

【0075】(3)その後、通常のLSI製造プロセスに従ってパッシベーション膜を形成し、必要な配線の形成を行って集積回路を製造する。これらの工程の詳細については説明を省略する。

【0076】実施例7

この実施例は、本発明の好ましい態様のうち、良好なステップカバレッジを得るために反応律速でのCVDを行うと共に、良好なペロブスカイト結晶構造を維持した高誘電率キャパシタ絶縁膜を形成する態様に関する。即ち、この実施例におけるCVDプロセスは、例えば、Sr原料の供給量に対するTi原料の供給量の比をモル比で5以上に制御して行われる。

【0077】この実施例では、図18に示すCVD装置を用いてチタン酸ストロンチウムの成膜を行なう。図示のように、この装置は排気系601、反応容器602およびガス供給系603からなっている。また、原料としてはSr(DPM)、およびTiO(DPM)、を用

い、酸化剤としてO<sub>2</sub>を用いる。

【0078】金属原料のSr(DPM)、およびTiO(DPM)、は、ステンレ製の原料容器604、605に収納されており、これら容器は夫々が独立に温度制御可能なオープン606、607に格納されている。原料容器をオープン内に格納することによって、原料の温度を極めて安定に制御することができる。また、原料容器604、605の出口には圧力調整バルブ608、609が設けられており、各原料容器内の圧力を制御できるようにになっている。原料の供給は、Arガスによる原料のバブリングによって行なう。純化装置610で純化されたArガスは、マスフローコントローラ611、612で流量を制御されて、原料容器604、605内の原料をバブリングする。気化した原料はArガスで搬送され、反応容器602の前段においてO<sub>2</sub>と混合された後に、反応容器602内にシャワースズル613を通して導入される。反応容器内においてCVD反応が起ると、ヒータ614で一定温度に保持されたサセプタ615に載置された基板表面にチタン酸ストロンチウムの薄膜が形成される。

【0079】上記のCVDプロセスは、良好なステップカバレッジと良好なペロブスカイト結晶構造を実現するために以下の条件で行なう。

【0080】Sr(DPM)、およびTiO(DPM)、の温度を夫々215°Cおよび140°Cに保持し、またこれら原料を収容している原料容器604、605の内部圧力は何れも100 Torrに維持する。Srのキャリアガス流量は300 sccm、Tiのキャリアガス流量は35 sccmとする。この条件において基板に供給される各原料の量は、Sr(DPM)、が5 mmol/m<sup>2</sup>、TiO(DPM)、が50 mmol/m<sup>2</sup>となる。また、良好なステップカバレッジを実現するために、SrおよびTiの成膜速度が反応律速となるように、成膜温度は420°C、成膜圧力は10 Torr、総流量は500 sccmの条件でチタン酸ストロンチウム膜のCVDを行う。

【0081】こうしてチタン酸ストロンチウム膜を成膜した後、700°Cの酸素雰囲気中において常圧下でアニールを行なうことにより結晶化させる。こうして得られたチタン酸ストロンチウム膜は良好なステップカバレッジを有し、しかも良好なペロブスカイト結晶構造を有している。また、上下電極として白金を用いて誘電率を評価したところ、チタン酸ストロンチウムについて、膜厚50 nmの試料では比誘電率が200、膜厚25 nmの試料では比誘電率170という高い値が得られた。

【0082】実施例8

この実施例も、実施例7と同様、良好なステップカバレッジと共に、良好なペロブスカイト結晶構造を維持した高誘電率キャパシタ絶縁膜を形成する態様に関する。

【0083】この実施例では、図19に示すCVD装置を用いてチタン酸ストロンチウムの成膜を行なう。図示

10

20

30

40

50

cが、酸化剤条件に依存して変化する状況を示すグラフ。

【図5】反応律速条件でのCVDで高誘電体薄膜を形成するときに、薄膜の表面の平滑性が劣化する状況を示す説明図。

【図6】チタン酸ストロンチウムの誘電率が組成依存性を有することを示すグラフ。

【図7】原料ガス中の $Sr/(Sr+Ti)$ 比が0.5になるように原料を供給しながら、CVDによってチタン酸ストロンチウムを成膜したときに、堆積膜中の $Sr/(Sr+Ti)$ 比が成膜温度に依存して変化する状況を示すグラフ。

【図8】この発明の実施例において誘電体薄膜の形成に用いられる、化学気相成長装置の概略を示す図。

【図9】この発明の実施例において、薄膜を形成する以前のSi基板の断面を示す図。

【図10】この発明の実施例において、図9に断面を示すSi基板上に、反応律速条件で $SrTiO_3$ 薄膜を形成した後のSi基板の断面を示す図。

【図11】この発明の実施例において、図9に断面を示すSi基板上に、供給律速条件で $SrTiO_3$ 薄膜を形成した後のSi基板の断面を示す図。

【図12】この発明の実施例において、比較のために、図9に断面を示すSi基板上に、Ti原料としてTi(OC, H<sub>3</sub>)<sub>4</sub>を用い、供給律速条件で $SrTiO_3$ 薄膜を形成した後のSi基板の断面を示す図。

【図13】この発明の実施例で作製した $Ba_xSr_{1-x}TiO_3$ 薄膜をキャパシタ絶縁膜として構成された、トレンチキャパシタ構造を有するダイナミック・ランダム・アクセス・メモリセルの断面を示す図。

【図14】この発明の実施例で作製した $Ba_xSr_{1-x}TiO_3$ 薄膜をキャパシタ絶縁膜として構成された、ス\*

\*タクトキャパシタ構造を有するダイナミック・ランダム・アクセス・メモリセルの断面を示す図。

【図15】本発明の他の実施例を説明するために、DRAMセルの製造工程を順を追って示した断面図。

【図16】本発明の他の実施例を説明するために、DRAMセルの製造工程を順を追って示した断面図。

【図17】本発明の別の実施例を説明するために、DRAMセルの製造工程を順を追って示した断面図。

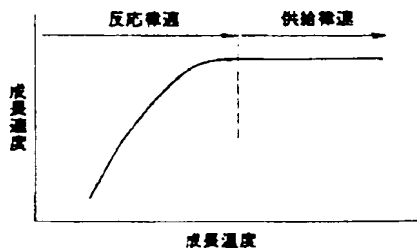
【図18】この発明の更に別の実施例において、誘電体薄膜の形成に用いられる化学気相成長装置の概略を示す図。

【図19】この発明の更に別の実施例において、誘電体薄膜の形成に用いられる化学気相成長装置の概略を示す図。

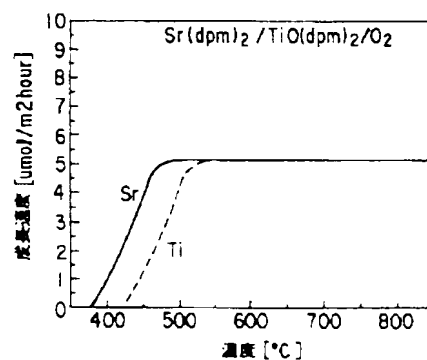
【符号の説明】

101…反応容器、102, 601…Si基板、103…抵抗加熱ヒーター、104…熱電対、105, 161, 162…圧力検知器、106, 151, 152…圧力調整バルブ、107…真空ポンプ、108…ゲートバルブ、111, 112…原料充填容器、113…アルゴンガス供給管、114…原料ガス供給管、115, 118…排出管、116…酸素ガス供給管、121, 122, 123, 124, 125, 126…質量流量制御器、131, 132, 133…バルブ、141, 142, 143…流路切換え器、171, 172…原料加熱オーブン、173…配管加熱オーブン201, 202, 203, 204, 205, 206… $SrTiO_3$ 薄膜、302…素子分離酸化膜、303…ゲート酸化膜、304…多結晶シリコンゲート電極、305…ソースおよびドレイン、306…酸化膜、307…Pt下部電極、308… $Ba_{0.4}Sr_{0.6}TiO_3$ 蓄積容量膜、609…Pt上部電極

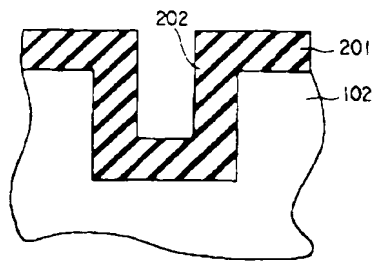
【図1】



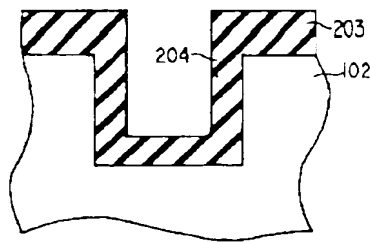
【図2】



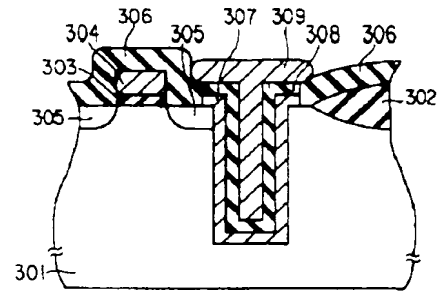
【図10】



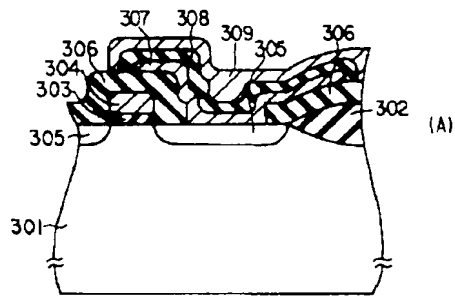
【図11】



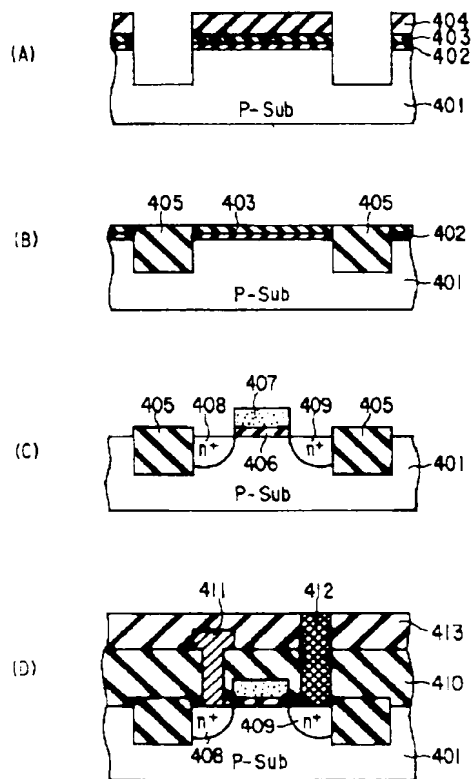
【図13】



【図14】



【図15】





Entgegenhaltung 5:

JP Pat.-Offenlegung Nr. 08-139043 vom 31.05.1996

Anmeldung Nr. 07-050104 vom 09.03.1995

"Innere" Priorität vom 16.09.1994, JP (Anm. Nr. 06-221446)

Anmelder: K.K. Toshiba, Kawasaki, JP

Titel: Verfahren zur Herstellung von Halbleitervorrichtungen

(Bemerkung:

Von der Anfertigung einer Übersetzung sehen wir ab, da diese  
Offenlegung zu der US-PS 5,618,761 bzw. DE-A 195 34 082  
äquivalent ist.)